

HTMOS™高温产品

高温 83C51 微控制器**HT83C51****特点**

- HTMOS 额定温度：-55°C 至+225°C
- 优化 8-bit CPU 用于 5V 控制用途
- 四个 8-bit 双向平行端口
- 三个带有一个递增/递减定时器/计数器和时钟输出的 16-bit 定时器/计数器
- 可编程计数器阵列带有：
 - 采集/对比
 - 具有监视能力的软件定时器
 - 高速输出
 - 脉冲宽度调节器
- 带有七个源极和四个优先级的中断结构
- 半双方的可编程串行端口带有：
 - 成帧误差检测
 - 自动地址识别
- 64k 外部程序存储器地址空间
- 密封 40 引线陶瓷 DIP
- 64k 外部数据存储器地址空间
- 256 字节内部数据存储器
- 8k 字节掩模 ROM
- 单片振荡器
- MCS-51 匹配指令设置

应用

- 井下油井
- 航空电子设备
- 涡轮发动机控制
- 工业过程控制
- 核反应堆
- 电力转换
- 重型内燃机

一般说明

HT83C51 是单片 8-bit 微控制器，其引脚等于 Intel 8×C51FC 微控制器。其生产运用了霍尼韦尔的电解质隔离高温（HTMOS™）工艺，专门为诸如井下油井、航空电子设备、涡轮发动机和工业控制等苛刻的高温应用而设计。

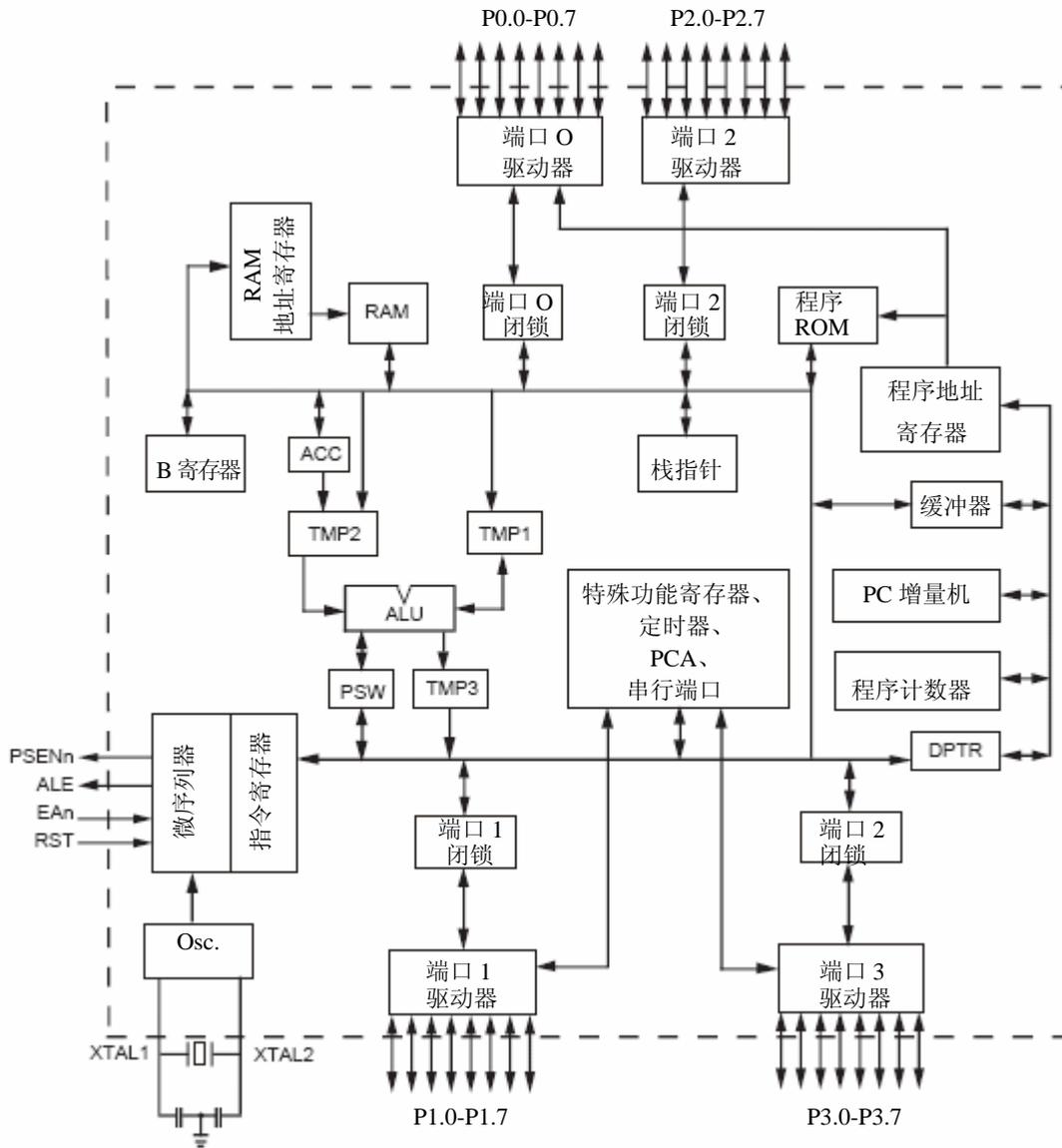
HT83C51 使用标准的 MCS-51 指令设置，优化后用于控制用途。引脚对引脚等同于 MCS-51 系列产品，与所有已知的开发环境相匹配。其主要特性包括：可编程计数器阵列、监控定时器、用于多处理器通信的改良的串行端口和等级中断结构。

为了降低电源，包括空闲可选软件。HT83C51 与标准的 83C51FC 的不同之处有：支持半双方串行通信，并具有 8k 字节掩模 ROM。该装置有标准插脚引线，其封装有多种选择。

这些微控制器性能可靠，在整个 -55 到 +225°C 温度范围内，支持超过 16 MHz 操作频率。如果零件在高达 +300°C 的温度下工作一年，其性能会下降。所有的零件都经过 250°C 老化，以防止生产次品。

HT83C51

功能块图



引脚描述

VDD: +5V 供电电压

VSS: 电路接地

端口 0 (P0.0-P0.7): 端口 0 为 8-bit 双向 I/O 端口。如果使用外部程序和/或数据存储器, 端口 0 不能用在通用 I/O。在访问外部程序和数据存储器时, 端口 0 被用作低阶复用地址和数据总线。在这种模式中, 释放 1's 时, 端口 0 引脚使用强大的内部上拉, 并与 TTL 匹配。如果没有使用外部程序和数据存储器, 端口 0 可以用在通用 I/O。在 I/O 模式中, 如果端口引脚内写入 1's, 那么引脚在浮动, 可以被驱动为输入。在 I/O 模式中, 需要外部上拉来产生逻辑高位输出。

端口 1 (P1.0-P1.7): 端口 1 为带有内部上拉 8-bit 双向 I/O 端口。输出缓冲器可以驱动 TTL 负载。如果端口 1 引脚内写入 1's, 那么它们被内部上拉拉到高位, 在这种状态中可以被用作输入。作为输入, 任何被外部上拉到低位的引脚会因上拉提供电流。此外, 端口 1 引脚具有下表中显示的交替功能。

端口 引脚	名称	交替功能
P1.0	T2	外部时钟输入定时器/时钟输出
P1.1	T2EX	定时器/计数器 2 采集/重负载触发和方向控制
P1.2	ECI	外部计数输入 PCA
P1.3	CEX0	PCA 采集/对比模块 0 的外部 I/O
P1.4	CEX1	PCA 采集/对比模块 1 的外部 I/O
P1.5	CEX2	PCA 采集/对比模块 2 的外部 I/O
P1.6	CEX3	PCA 采集/对比模块 3 的外部 I/O
P1.7	CEX4	PCA 采集/对比模块 4 的外部 I/O

端口 2 (P2.0-P2.7): 端口 2 为带有内部上拉的 8-bit 双向 I/O 端口。输出缓冲器可以驱动 TTL 负载。如果端口 2 引脚内写入 1's, 那么它们被内部上拉拉到高位, 在这种状态中可以被用作输入。作为输入, 任何被外部上拉到低位的引脚会因上拉提供源极电流。

在访问使用 16-bit 地址的外部程序存储器和外部数据存储器时, 端口 2 被用作高阶地址字节。在这种模式中, 释放 1's 时, 此端口使用强大的内部上拉。进入使用 8-bit 地址的外部数据存储器时, 端口 2 释放出 P2 SFR 的内容。

端口 3 (P3.0-P3.7): 端口 3 为带有内部上拉 8-bit 双向 I/O 端口。输出缓冲器可以驱动 TTL 负载。如果端口 3 引脚内写入 1's, 那么它们被内部上拉拉到高位, 在这种状态中可

以被用作输入。作为输入, 任何被外部上拉到低位的引脚会因上拉提供源极电流。此外, 端口 3 引脚具有下表中显示的交替功能:

端口引脚	交替名称	交替功能
P3.0	RXD	串行端口输入
P3.1	TXD	串行端口输出
P3.2	INT0n	外部中断 0
P3.3	INT1n	外部中断 1
P3.4	T0	定时器的外部时钟输入 0
P3.5	T1	定时器的外部时钟输入 1
P3.6	WRn	外部数据存储器写入选通脉冲
P3.7	RDn	外部数据存储器读取选通脉冲

RST: 重置输入。当振荡器运行时, 在两个或更多个振荡器周期, 此输入的一个高位队装置进行重置。所有的端口和特殊功能寄存器都将被重置到默认状态。重置后, 内部数据存储器没有被设定。当重置信号处于低位后, 在 12 个振荡器周期 (一个机器循环) 内开始执行程序。RST 包含一个内部下拉电阻器, 允许只用一个外埠电容器进行电流增长 RST。

ALE: 地址闭锁使能。ALE 输出是一种在进入外部存储器时用来锁闭低位地址字节的脉冲。在正常的操作条件下, ALE 脉冲每 6 个振荡器周期输入一次, 并可以用在外部定时或时钟。然而, 在每次进入外部数据存储器 (MOVX 指令) 时, 要跳过一次 ALE 脉冲。如果需要, 可通过设置 SFR 8EH 的零位使 ALE 操作失效。零位设定后, ALE 只有在 MOVX 指令中才处于激活状态。否则, 引脚将处于低位。当 ALE 失效后, 程序执行必须被限制在内部 8K 程序 ROM。

PSENn: 程序存储使能。该活动低位信号是外部程序存储器的读取选通脉冲。除进入外部数据存储器时跳过的两个 PSENn 激活之外, PSENn 每 6 个振荡器周期被激活一次。

EAn: 外部存取使能。EAn 引脚必须被绑定到 VSS 上, 这样 HT51 就可以从外部程序存储器位置 0000H 到 1FFFH 提取密码。EAn 引脚必须被绑定到 VDD 上, 以从存储器位置 0000H 到 1FFFH 执行内部程序。

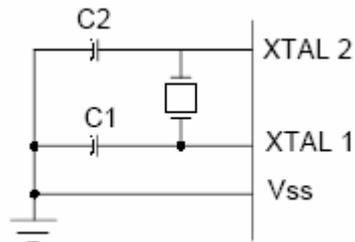
XTAL1: 输入到逆向振荡器放大器

XTAL2: 从逆向振荡器放大器输出

HT83C51

振荡器特性:

逆向放大器的输入为 XTAL1, 输出为 XTAL2, 可被用作图 1 中所示的单片振荡器。一定要将晶体或交替定时源限制在目的用途的温度范围内。如果使用诸如 HTOSC 的外部时钟源, XTAL1 应被驱动, 而 XTAL2 应浮动, 如图 2 所示。对外部时钟信号没有对占空比要求, 但是必须遵守最大和最小高位和地位次数。



关于 C1 和 C2 的值, 请联系晶体生产商

图 1. 振荡器连接

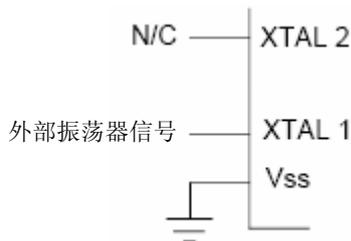


图 2. 外部时钟驱动配置

空闲模式

设置 PCON 零位的指令成为在进入空闲模式前执行的最后一个指令。在空闲模式, 断开 CPU 的内部时钟的选通脉冲, 但不断开中断、定时器和串行端口功能。可对 PCA 进行编程的任一中止或在空闲模式继续操作。在空闲模式, 完全保持 CPU 的状态, 所有的寄存器保持他们原先的值。端口引脚保持当空闲模式激活时它们所具有的逻辑值。ALE 和 PSEn 保持在逻辑高位水平。

可以用两种方式终止空闲模式。激活任何使能中断会引起 PCON 零位被硬件清除, 从而终止空闲模式。中断将被维修, 执行 RETI 指令后, 将执行启动空闲模式的指令后的指令。从空闲模式恢复为三个振荡器周期加上三个指令循环。

终止空闲模式的另一种方法是对硬件进行重置, 做法为: 在时钟运行时, 将 RST 在高位保持 4 个时钟周期。用硬件重置来退出空闲模式将保留单片 RAM 内的内容, 但是 SFRs 的值将会丢失, 程序执行将从地址 0 开始。

存储器

HT51 有一个独立的程序和数据存储器的地址空间。HT51 内部包括 8K 字节程序存储器和 256 字节数据存储器。可容纳地址多达 64K 字节外部数据存储器 and 64K 字节外部程序存储器。

在 HT51 中有 8K 字节内部程序存储器。EAn 引脚必须绑定到 Vdd(电源)上, 是能够进入内部程序存储器位置。当 EAn 引脚绑定到 Vdd 上时, 采集到地址 0000H 到 1FFFH 的程序将被存储到内部程序 ROM。采集到地址 2000H 到 FFFFH 的程序将被存储到外部存储器。EAn 引脚必须被绑定到 Vss(接地)上, 使能进入外部程序存储器位置 0000H 到 1FFFH。

HT51 使用 256 字节内部数据 RAM。该 RAM 的上 128 字节占据特殊功能寄存器 (SFRs) 的平行地址空间。CPU 通过指令的选址模式确定内部进入高于 7FH 的地址是否是 RAM 的上 128 字节或者是 SFR 空间。如果使用直接选址, 进入的是 SFR 空间。如果使用间接选址, 进入的是内部 RAM。堆栈操作是间接选址, 因此 RAM 的上半部分可以被用作堆栈空间。

定时器/计数器

HT51 包括三个 16-bit 定时器/计数器。每个定时器/计数器由两个 8-bit 寄存器 (THx, TLx, 其中 x=0, 1 或 2) 组成。三个定时器/计数器都可以在定时器或计数器模式操作。在定时器模式中, TLx 寄存器每一个机械循环 (12 个振荡器周期) 增量一次。计数器率是振荡器频率的 1/12。在计数器模式, 当在与定时器 (Tx, 其中 x=0, 1 或 2) 相符的交替功能输入上检测到 a1 到 0 的转换时, 寄存器被增量。在计数器模式中, HT51 可检测到的最大计数率为振荡器频率的 1/24。

PCA 计数器/定时器

可编程计数器阵列 (PCA) 包含一个由 CL 和 CH 寄存器组成的单 16-bit 计数器/定时器。定时器别用在所有的 5 个采集/比较模块。可通过编程从四个源极中的一个进行时钟输入。这些是端口引脚 P1.2 交替功能上的被 12 划分的振荡器频率、被 4 划分的振荡器频率、定时器 0 过溢和外部时钟输入、ECI。

串行端口

串行端口分别接收和传递缓冲器、自动地址识别和四种操作模式，如下所示：

模式	描述	波特率
0	8-bit 转换寄存器	1/12 次振荡器频率
1	8-bit UART	变量
2	8-bit UART	1/64 或 1/32 次振荡器频率
3	8-bit UART	变量

中断

在 HT51 中有七个中断源极。两个是外部中断，三个是定时器中断，一个是 PCA 中断，还有一个是串行端口中断，如下所示：

- PCA 中断使能
- 定时器 2 中断使能
- 串行端口中断使能
- 定时器 1 中断使能
- 外部中断 1 使能
- 定时器 0 中断使能
- 外部中断 0 使能

重置

重置输入是 RST 引脚。在时钟运转时，通过将 RST 保持在高位最短 4 个时钟周期，可以进行重置。CPU 从外部信号进行内部重置。在 RST 引脚上检测到有效 1 后 2 个振荡器周期，端口引脚被驱动到重置状态。

当 RST 处于高位时，PSENn 被拉到高位，ALE 被拉到低位，端口引脚每周被拉到高位。所有的 SFRs 都被设定到它们的重置值。此外，如果在激活 RST 之前 HT51 处于空闲或省电模式，那么重置将取消 HT51 的空闲或省电模式。

在 RST 线性处于低位后第二个机械循环，处理器将开始操作。当 RST 线性处于低位后，立即进行任何存储器存取，但是数据不会被送入处理器。存储器存取将在下一个机械循环重复，那时将开始实际处理。

指令设定

HT51 的指令设定与在 8XC51FC 上使用的 Intel MCS-51 的指令相匹配。

交流电特性

下表中列出了 HT51 的交流电特性。每个定时符号都有 5 个字母。第一个字母总是“T”（时间）。其它的字母，取决于它们的位置，代表信号的逻辑名称或该信号的逻辑状态。下面是这些字母的列表及其代表的意义：

A: 地址	Q: 输出数据
C: 时钟	R: RDn 信号
D: 数据	T: 时间
H: 逻辑水平高位	V: 有效
I: 指令	W: WRn 信号
(程序存储器内容)	X: 不再是有效的逻辑
L: 逻辑水平低位，或 ALE 水平	
P: PSENn	Z: 浮动

例如，TAVLL=从地址有效到ALE低位的时间。给出的特性超过了操作条件 $T_A=-55^{\circ}\text{C}$ 到 $+225^{\circ}\text{C}$ ， $V_{DD}=5\text{V}\pm 10\%$ ， $V_{SS}=0\text{V}$ 。端口 0 的负载电容，ALE和PSENn=100pF。所有其它输出的负载电容=50 pF，交流电测试中的输入被驱动到逻辑 1 时 $V_{DD}-0.5\text{V}$ 和逻辑 0 时 0.45V。对于逻辑 1 在 V_{IH} 最小时进行定时测量，对于逻辑 0 在 V_{IL} 最大时进行定时测量。为了定时，当负载电压发生 100mV变化时，端口引脚不再浮动；当负载的 V_{OL}/V_{OH} 电平发生 100 mV变化时，端口引脚开始浮动。用定时表来说明表中描述的信号的关系。

HT83C51

直流电特性

符号	参数	最小	最大	单位	测试条件(3)
VIL	输入低电压	VSS-0.3	0.8		
VIH	输入高电压 (XTAL1, RST 除外)	2.0	VDD+0.5	V	
VIH1	输入高电压 (XTAL1, RST)	3.85	VDD+0.5	V	
VOL	输出低电压 (1, 2) (端口 1, 2 和 3)		0.3	V	IOL = 100 μ A
			0.45	V	IOL = 1.6 mA
			1.0	V	IOL = 3.5 mA
VOL1	输出低电压 (1, 2) (端口 0, ALE, PSENn)		0.3	V	IOL = 200 μ A
			0.45	V	IOL = 3.2 mA
			10	V	IOL = 7.0 mA
VOH	输出高电压 (端口 1, 2, 3, ALE, PSENn,)	4.2		V	IOH = -10 μ A
		3.8		V	IOH = -30 μ A
		3.0		V	IOH = -60 μ A
VOH1	输出高电压 (端口 0)	4.2		V	IOH = -200 μ A
		3.8		V	IOH = -3.2 mA
		3.0		V	IOH = -7.0 mA
IIL	逻辑 0 输入电流 (端口 1, 2 和 3)		-50	μ A	VIN = 0.45 V
ILI	输入漏电流 (端口 0)		\pm 10	μ A	0.45 V < Vin < VDD
ITL	逻辑 1 到 0 的转换电流 (端口 1, 2 和 3)		-650	μ A	VIN = 2 V
RRST	RST 下拉电阻器	10	225	k Ω	
CIO	引脚电容		10(典型)	pF	1 MHz, 25 $^{\circ}$ C
IDD	供电电流	操作	70	mA	16 MHz
		空闲	15	mA	16 MHz

- (1) 在稳定状态 (非瞬间条件) IOL 的外部限制必须如下:
 每端口引脚的最大 IOL 10 mA
 每 8-bit 端口的最大 IOL
 - 端口 0 26 mA
 - 端口 1, 2, 3 15 mA
 所有端口引脚的最大总 IOL 71 mA
- (2) 如果 IOL 超出测试条件, VOL 必须超过相关技术规格。
 (3) 不能保证引脚吸收电流能超过列出的测试条件。

最大绝对额定值(1)

输入电压 (V_{DD}到V_{SS}) -0.5 V到 7.0 V
 任何引脚到V_{SS}的电压.....-0.5 V到V_{DD}+0.3V
 功耗..... 750m/W
 储存温度..... -65 $^{\circ}$ C到+325 $^{\circ}$ C
 引线温度 (附件, 10sec)355 $^{\circ}$ C
 每输出引脚的 IOL..... 15mA

如果强度超过上述额定值, 将会导致永久损坏。这些只是额定强度, 并不意味着能在这些等级进行操作。经常或长期在最大绝对条件下工作可能会影响装置的可靠性。

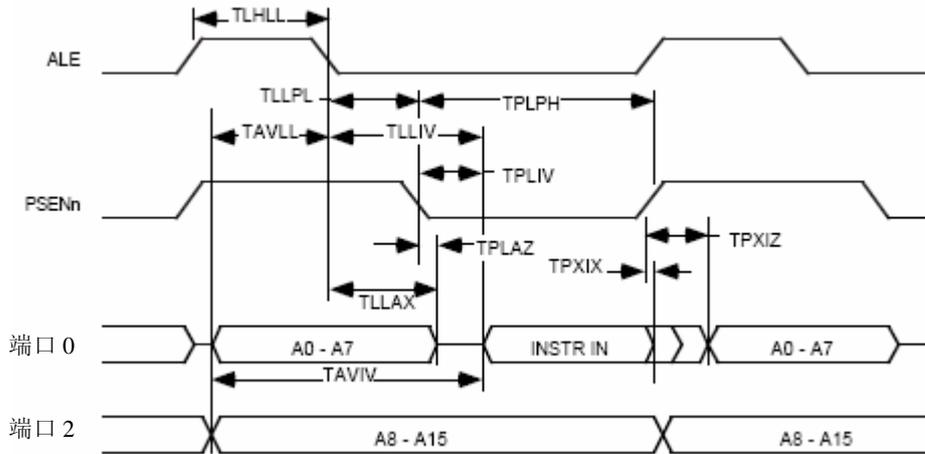
HT83C51

外部程序和数据存储器特性:

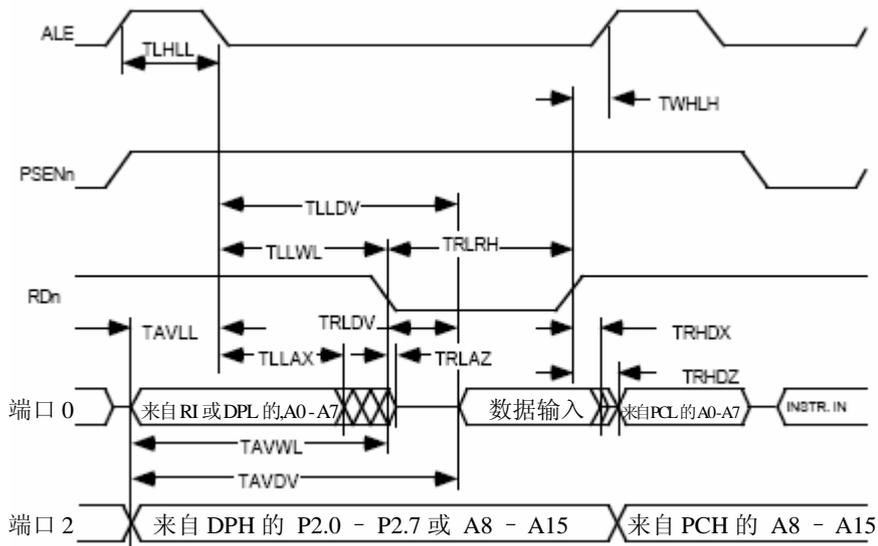
符号	参数	最小	最大	单位
TCLCL	时钟周期	62.5		ns
1/TCLCL	振荡器频率		16	MHz
TLHLL	ALE 脉冲宽度	2 TCLCL - 40		ns
TAVLL	ALE 低位有效地址	TCLCL - 40		ns
TLLAX	ALE 低位后地址保持	TCLCL - 30		ns
TLLIV	ALE 低位到有效指令输入		4 TCLCL - 100	ns
TLLPL	ALE 低位到 PSEn 低位	TCLCL - 30		ns
TPLPH	PSEn 脉冲宽度	3TCLCL - 45		ns
TPLIV	低位到有效指令输入 PSEn		3 TCLCL - 105	ns
TPXIX	PSEn 后输入指令保持	0		ns
TPXIZ	PSEn 后输入指令浮动		TCLCL - 25	ns
TAVIV	有效指令输入地址		5 TCLCL - 105	ns
TPLAZ	地址浮动 PSEn 低位		10	ns
TRLRH	RDn 脉冲宽度	6 TCLCL - 100		ns
TWLWH	WRn 脉冲宽度	6 TCLCL - 100		ns
TRLDV	RDn 低位到有效数据输入		5 TCLCL - 165	ns
TRHDX	RDn 后数据保持	0		ns
TRHDZ	RDn 后数据浮动		2 TCLCL - 60	ns
TLLDV	ALE 低位到有效数据输入		8 TCLCL - 150	ns
TAVDV	地址到有效数据输入		9 TCLCL - 165	ns
TLLWL	ALE 低位到 RDn 或 WRn 低位	3 TCLCL - 50	3 TCLCL + 50	ns
TAVWL	低位 WRn 有效地址	4 TCLCL - 130		ns
TQVWX	WRn 之前有效数据	TCLCL - 50		ns
TWHQX	后数据保持 WRn	TCLCL - 50		ns
TQVWH	高位 WRn 数据有效	7 TCLCL - 150		ns
TRLAZ	地址浮动 RDn 低位		0	ns
TWHLH	高位 RDn 或 WRn 到 ALE 高位	TCLCL - 40	TCLCL + 40	ns

HT83C51

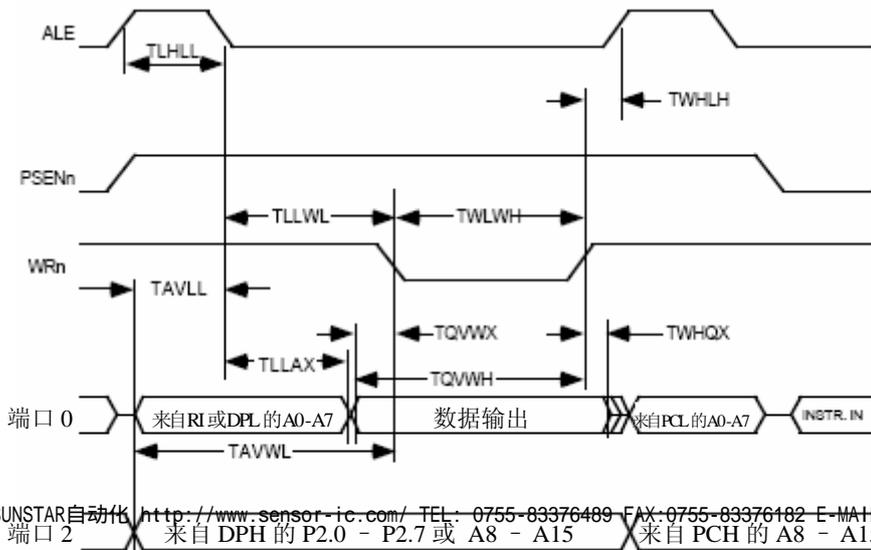
外部程序存储器读取循环



外部数据存储器读取循环



外部数据存储器写入循环

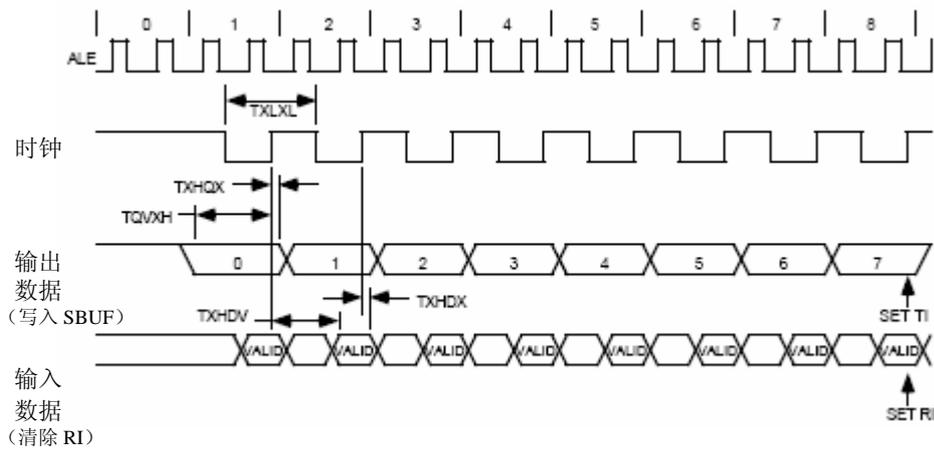


HT83C51

串行端口定时特性-转换寄存模式 (模式 0)

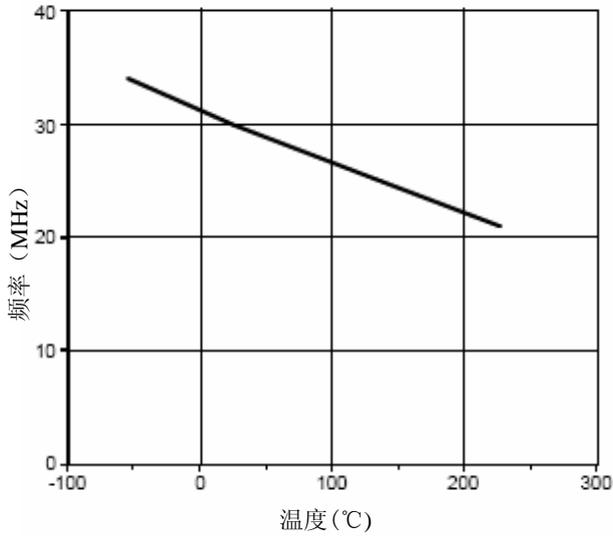
符号	参数	16 MHz 振荡器		可变振荡器		单位
		最小	最大	最小	最大	
TXLXL	串行端口时钟周期	750		12 TCLCL		ns
TQVXH	输出数据设置到时钟上升边缘	492		10 TCLCL - 133		ns
TXHQX	时钟上升边缘后输出数据保持	8		2 TCLCL - 117		ns
TXHDX	时钟上升边缘后输入数据保持	0		0		ns
TXHDV	时钟上升边缘到输入有效数据		492		10 TCLCL - 133	ns

串行端口定时波形

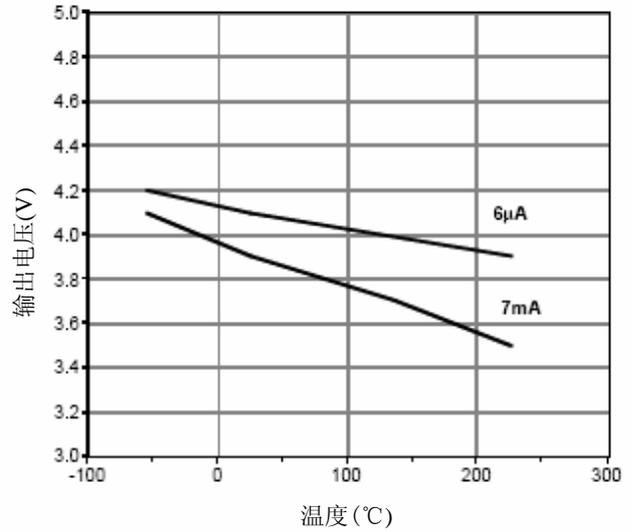


HT83C51

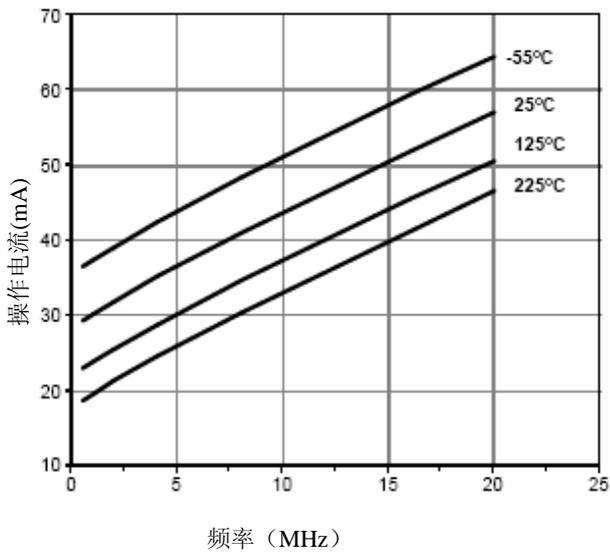
温度曲线性能



最大频率与温度的关系



输出驱动与温度的关系



操作电流与频率与温度的关系

HT83C51

掩模 ROM 编程

HT83C51 有 8K 字节单片掩模可编程 ROM。不管该存储器空间有没有被分割，零件都可以使用。一旦最终确定了设计者规范，ROM 信息可以被传输到霍尼韦尔，以对这些存储器位置进行金属编程。需要非引起费用对 ROM 进行分割，并完成数量购买承诺。

8XC51FC 和 HT83C51 的区别

HT51 在许多方面与 8XC51FC 不同。本附录将包括这些差异。在此，8XC51FC 被用来指 8XC51FC 系列，包括 16 MHz 8XC51FC-1 的所有速度级，

1. 重置

8XC51FC 要求 RST 输入至少在 24 个振荡器周期位于高位，来保证在单片内的完成重置。当 RST 引脚处于高位时，应尽快对其进行异步重置。在 HT51 上，当 RST 引脚在输入时钟的 2 个上升边缘处于高位时，单片所有的部分都要进行异步重置。

当完成重置后，8XC51FC 要花 1 到 2 个机械循环开始驱动 ALE 和 PSENn。HT51 将在 RST 拆除后 2 个振荡器周期开始驱动 ALE 和 PSENn，但是处理器会忽视重置后的第一个机器周期的存取 RST。第二个循环将会重复该存取，然后才开始处理。

2. 断电标记

在 HT51 没有使用 PCON 寄存器里的断电标记。

3. 打开电路仿真

在 HT51 没有使用 8XC51FC 中的打开电路仿真模式。

4. 操作条件

8XC51FC 的操作电压范围为 $5V \pm 20\%$ 。工作温度范围为 0°C 至 70°C 。HT51 的操作电压范围为 $5V \pm 10\%$ 。全速工作温度范围为 -55°C 至 225°C 。如果零件在高达 $+300^{\circ}\text{C}$ 的温度下工作一年，其性能会下降。

5. 直流电特性

除 EAn 的最小 VIL 为 $-0.5V$ 之外，8XC51FC 的所有输入的最小 VIL 为 $0V$ 。HT51 所有输入的最小 VIL 为 $V_{ss}-0.3V$ 。

6. 内部程序存储器

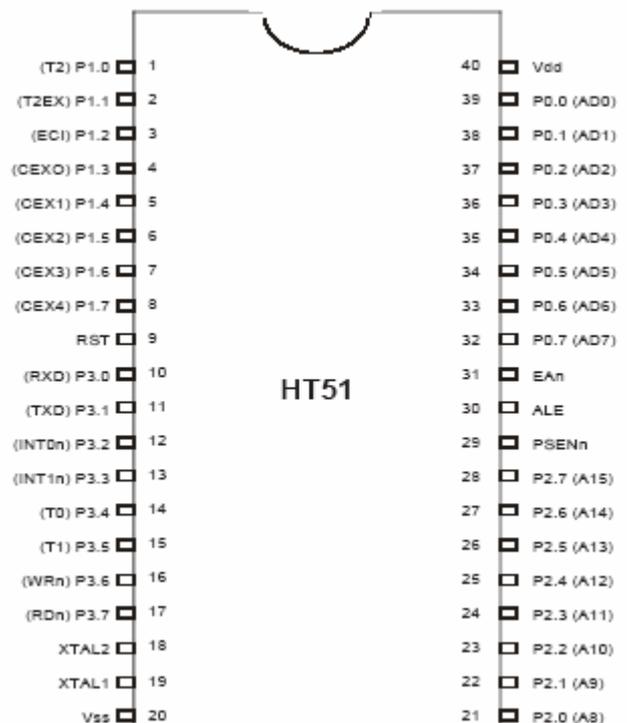
8XC51FC 包括 32K 字节内部程序 ROM (83C51FC)或 EPROM (87C51FC)。HT51 包括 8K 字节内部程序 ROM。

7. 串行通信

当在可编程计数器阵列(PCA)中执行权双向（同时发送和接收）通信时或当使用采集或对比模式部件有可能会错过硬件中断。

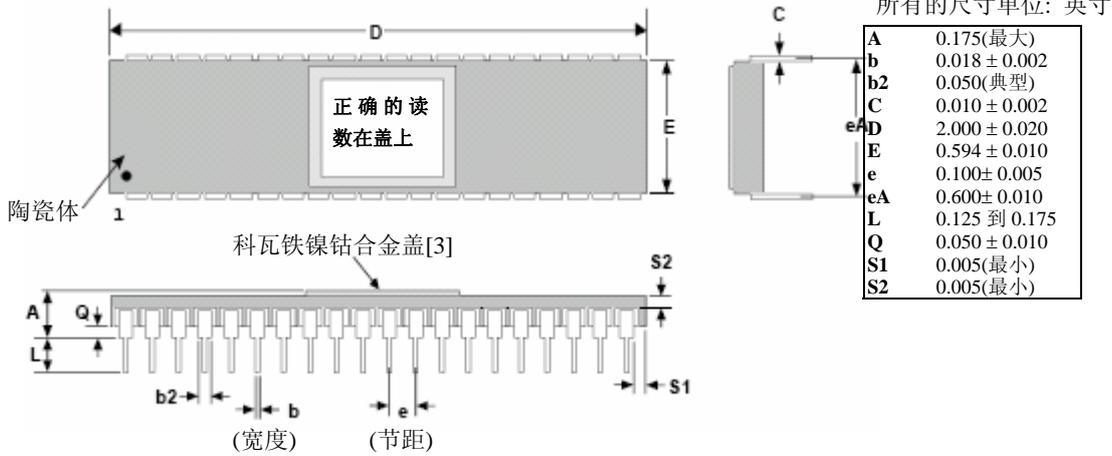
所以，HT83C51 支持半双向操作。没有其它的外部硬件，不支持全双向操作。已经为与 PCA 相关联的问题识别了许多可接受的工作区程序。

插脚引线图



HT83C51

40-引线封装细节



热特性

采用静态空气对流

θ_{jc}0.9°C/W

θ_{ja}32.8°C/W

订购信息

HT83C51DC

D - 表示封装类型

D = 标准 DIP

C - 表示屏蔽级

B = 高温 B 级

C = 商业级

*如需要其它的封装类型, 请致电霍尼韦尔